

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-106774

(43)Date of publication of application : 22.04.1997

(51)Int.Cl.

H01J 31/12

H01J 9/02

(21)Application number : 08-201793

(71)Applicant : SGS THOMSON MICROELECTRON  
INC

(22)Date of filing : 31.07.1996

(72)Inventor : DUBOIS GUY

(30)Priority

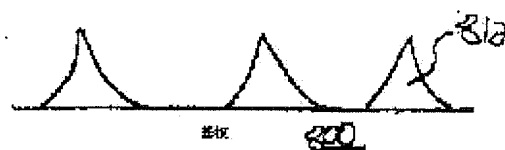
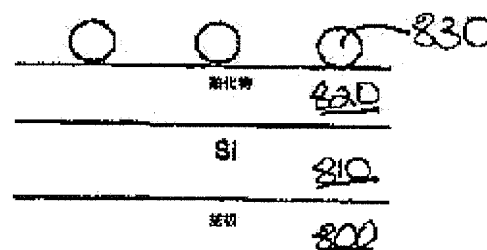
Priority number : 95 5475 Priority date : 31.07.1995 Priority country : US

## (54) FIELD EMISSION DISPLAY AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To carry out pattern formation without using a mask and lower the cost by providing fine spherical bodies randomly in a pattern on a dielectric layer formed on a silicon layer.

SOLUTION: A silicon layer 810 is formed on a glass or quartz substrate 800 by deposition and oxidized to form an oxide dielectric body 820 layer. Fine spherical bodies 830 are deposited in a randomly separated pattern on the dielectric layer. Further, the pattern of the fine spherical bodies 830 is transferred to the dielectric body 820 by anisotropic etching method to form island parts. Emitters 812 having sharp tip parts are formed at the positions where the island parts exist are formed by etching and deposition steps to give a display structure body. The structure body however is not a strictly geometric array but consists emitters at random intervals. In this way, without using a mask, self-aligned pattern formation with high density can be carried out and the cost is lowered.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-106774

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 31/12 9/02			H 0 1 J 31/12 9/02	C B

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平8-201793

(22) 出願日 平成8年(1996)7月31日

(31) 優先権主張番号 60/5475

(32) 優先日 1995年7月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド  
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドライブ 1310

(72) 発明者 ギー デュボワ

フランス国, 38330 ビビエ, リュト  
デ メイラン 2461

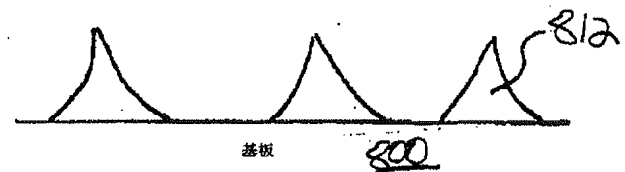
(74) 代理人 弁理士 小橋 一男 (外1名)

(54) 【発明の名称】 電界放出ディスプレイ及びその製造方法

(57) 【要約】

【課題】 エミッタ (電子放出) 位置を画定するためにマスクを使用せずに自己整合した高密度のパターン形成ステップを使用して真空微小電子工学装置 (特に、電界放出ディスプレイ) を製造するプロセスを提供する。

【解決手段】 本発明のマスクを使用しないパターン形成ステップは、パターン転移層 (820) へ荷電粒子 (830) を付与することによって行われる。クーロン反発力がある程度の自己調節型間隔制御を与えて近似的に様な密度を与える。該粒子を堆積させた後に、該粒子をエッチング用のマスクとして使用することが可能であり、それにより電界放出ディスプレイ用に使用する先端の尖ったカソード構成体を形成する。従って、本発明は、マスクを使用せずに一つの重要なステップのパターン形成を行うことを可能とし、且つそれに対応してコスト低下を可能としている。



## 【特許請求の範囲】

【請求項 1】 複数の真空マイクロ電子工学グリッド＋エミッタ装置からなるアレイを製造する方法において、

- (a) 第一導電性薄膜層を用意し、
- (b) 前記第一導電層の上に第二誘電体層を設け、
- (c) ランダムなパターンで前記第二層上に静電的に帯電した粒子を堆積させ、
- (d) 前記ランダムなパターンを前記第二層へ転移させ、
- (e) 前記第一層及び第二層をパターン形成し、且つ前記第二層上に第三導電層を形成し且つパターン形成して、前記ランダムなパターンによって画定される位置に複数のエミッタからなるアレイを形成すると共に、前記複数のエミッタからなるアレイと自己整合されており且つ前記複数のエミッタからなるアレイの各々の一つの上にアパーチャを有するゲート構成体を前記第二導電層内に形成する、上記各ステップを有することを特徴とする方法。

【請求項 2】 請求項 1 において、前記第一導電層がシリコンを有することを特徴とする方法。

【請求項 3】 請求項 1 において、前記ステップ (c) 期間中に、前記粒子が前記第一導電層に関して正味電荷を担持していることを特徴とする方法。

【請求項 4】 請求項 1 において、前記ステップ (c) が前記第二層上に直接的に前記帯電粒子を堆積させることを特徴とする方法。

【請求項 5】 請求項 1 において、前記ステップ (c) が前記第二層の上側に存在するホトレジスト層上に前記帯電粒子を堆積させることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、真空マイクロ電子工学装置に関するものであって、更に詳細には、電界放出ディスプレイ及びその製造方法に関するものである。本発明は、特に、電界放出ディスプレイの製造における改良に関するものである。本発明の改良を説明する前に、電界放出ディスプレイの技術分野における技術的内容（特に、マイクロンディスプレイテクノロジーズ社によって開発されたもの）について検討する。

## 【0002】

## 【従来の技術】

## 真空マイクロエレクトロニクス

1920年から約1960年にかけて三端子利得装置に対する支配的な技術であった真空管技術は1960年代及び1970年代におけるソリッドステート技術によってほぼ完全に置き換えられた。（トランジスタは、1950年代後期に至るまで実際の商用上のインパクトを達成し始めるものではなかったが、トランジスタはそれよりもかなり前に発明されていたものである。真空管は

高パワー高周波数及びその他の特別の適用場面において生き残っていたが、これらの適用場面は半導体装置にとっては市場としての価値は比較的低いものであった。）しかしながら、1980年代以来、真空マイクロ電子工学装置における興味が高潮した。これらの装置は、薄膜金属グリッドに対して自己整合された尖った微視的なエミッタ構成体を与えるカソード＋グリッド構成体を製造するためのマイクロ電子工学製造技術を使用するものである。従って、このような構成体は、精密且つ非常に小さなカソード対グリッドの間隔を有する冷陰極トライオードの二つの要素を提供するものである。トライオード即ち三極真空管のカットオフ周波数はカソード対グリッド間隔によって制限されるので、これらの装置はマイクロ波周波数への適用の可能性について研究されたが、このような装置はディスプレイ適用場面に対しても非常に魅力のあるものであることが明らかとなった。

【0003】 この技術においてかなりの前進がなされ、且つ多くの開発が1988年以降のIEEE・インターナショナル・バキューム・マイクロエレクトロニクス・コンフェレンスにおいて報告されている。これらのコンフェレンスの全てにおけるプロシーリングズ、即ち報告書類は引用によって本明細書に取込む。

## 【0004】 電界放出ディスプレイ

真空マイクロ電子工学の特に魅力のある適用例はディスプレイの製造に関するものである。種々の真空ディスプレイ技術は以前から公知であるが、真空マイクロ電子工学技術のディスプレイ即ち表示装置への適用は「フィールドエミッションディスプレイ（電界放出表示装置）」として知られる非常に活発且つ将来性のある技術分野を創生させた。

【0005】 CRTディスプレイと比較して大きさ及び重さを著しく減少させたアクティブマトリクス液晶ディスプレイ（AMLCD）としてのフラットパネルディスプレイは、例えばラップトップコンピュータやポータブルハンドヘルドカラーテレビなどの従来不可能であった装置、位置及び適用場面においてディスプレイを使用する術を提供した。明らかに、AMLCD技術は製造上最も高い品質の小型ディスプレイ技術であるが、AMLCDは、尚且つ、コスト、電力消費、画角、高速で移動するビデオ画像のぼやけ、動作温度範囲、及びAMLCDのバックライトにおいて水銀蒸気を使用することの環境上の懸念などにおいて著しく制限されているものである。

【0006】 電界放出ディスプレイ（FED）はAMLCDのこれらの制限事項を解消する可能性を提供しており、特に、小型で高分解能のディスプレイの分野において（例えば、カムコーダ（camcorder）ビューファインダ、HMD、仮想現実ハードウェアにおいて使用するため）においてそのことが言える。このディスプレイは、小型のカラーディスプレイ市場を支配している

現在のLCDと比較して優れた特性を有している。このディスプレイの開発の歴史、その利点及び表示特性について説明する。更に、FEDがプロトタイプから生産へ移るに従い、これらの装置の生産レベルでのテストを可能とする新たな技術を開発することが必要となっている。

【0007】典型的なカムコーダビューファインダは直径が0.55インチから0.7インチの範囲のディスプレイを使用する。完全にAMLCDからなるカラーディスプレイは、大略、96,000個から180,000個のドット数、又は32,000個から60,000個のフルカラーピクセルを有している。商用のビューファインダディスプレイは、通常、約15f t - Lを放出する。15f t - Lにおいて、典型的な0.55インチの黒白CRTビューファインダは約0.9Wを消費する。バックライトを有する0.7インチのAMLCDは0.5Wを消費する。対照的に、100,800個のドット又は33,600個のフルカラーピクセルを有するFEDディスプレイは、約0.1Wのパワーで動作することが可能であることが証明されている。このことは、カムコーダビューファインダ及びHMDにおいての主要な利点である。なぜならば、これらの装置においては、電力消費はバッテリーの寿命にとって重要なものである場合があるからである。更に、AMLCDはあるビデオ適用場面において十分に高速で応答するものではない。特定の例としては、生の画像形成期間中にカムコーダビューファインダをパンさせる場合である。LCDの応答が遅いので、ビデオ画像内に「ぼやけ」効果が発生する。FEDはこの様な問題を有するものではない。

【0008】公知の放射性フラットパネルディスプレイは、図1及び2に示したように、冷陰極電界放出電子によって励起される陰極ルミネセンス発光体の原理に基づいて動作する。(図1は断面図を示しており、且つ図2は斜視図を示している。)CRTと同様の陰極ルミネセンス発光体コーティングを有するフェースプレートがパターン状の電子の衝撃を受け、それを観察者が観察することが可能である。フェースプレートは真空ギャップを介してベースプレートから離隔されており、且つしばしばスペーサと呼ばれるフェースプレートとベースプレートとの間の物理的なスタンドオフによって、外部の大気圧がこれら二つのプレートを押し付けることを防止している。電子放出箇所(エミッタ)からなるアレイは、典型的には、尖った円錐であり、それは強力な電界が存在することによって電子を放出させる。図1の場合、及びほとんどの電界放出ディスプレイにおいては、尖ったエミッタと相対的に抽出グリッドに対して正の電圧を印加し、冷陰極電子放出を発生させるのに必要な強力な電界を与える。

【0009】抽出グリッドとエミッタ先端部との間に電圧差を発生させることによって電界をエミッタへ印加さ

せた場合にファウラ・ノルトハイム(Fowler-Nordheim)方程式は、通常、図1の電子放出プロセスを正確に記述するものと考えられる。このファウラ・ノルトハイム方程式は、文献において詳細に説明されており、真空マイクロ電子光学に対して直接適用されたものとして有用な説明がなされているものは、Spindt et al.「Molibden円錐を有する薄膜電界放出カソードの物理的特性(Physical Properties of Thin Film Field Emission Cathodes with Molybdenum Cones)」、47ジャーナル・オブ・アプライド・フィジックス5248(1976)の文献があり、それを引用によって本明細書に取込む。

【0010】ビデオ可能カラーFEDディスプレイの概念は、最初に、Crost et al.の米国特許第3,500,102号によって紹介された。このCrost et al.の研究に続いて、最近の開発努力によって世界において最初の二つのカラービデオFEDディスプレイが開発された。フランスにおけるLET/PIXELの研究はカラーシーケンシャルFEDプロトタイプを実証し、且つマイクロディスプレイの研究は米国において空間カラーFEDプロトタイプを実証した。

【0011】電界放出ディスプレイのベースプレートは、複数個の放出箇所からなるアレイを有すると共に、これらの箇所からの電子ビームの発生をアドレスし且つ活性化させる接続部を有している。アレイから電子放出を発生させ、放出アレイをアドレスし、且つ放出箇所を活性化させる多くの技術を使用することが可能である。更に、放出箇所が活性化される場合に表示輝度(中間調)における変化を発生させるための技術を使用せねばならない。画像の各フレームのアップデートにおける各放出アレイによる発光体へ供給される電荷を変化させるものやその他の幾つかのアプローチを使用することが可能である。

【0012】放出アレイから与えられたフレームにおいて発光体へ供給される電荷を変化させることはそれと関連するピクセルの光出力を変化させる。一つのフレーム内の個々のピクセルの発光体へ供給される全電子電荷を増加させると、そのピクセルの輝度が増加される。多くの場合において、輝度電荷は、ほぼ、供給された電荷の増加量に比例する。陰極ルミネセンス発光体は「パーステンス」、即ち電子の衝撃励起が終了した後においても発光体が継続して光子を放出する特性として知られる特性を有している。このパーステンスの期間は物質の特性であって、それは使用する発光体物質の選択及び合成によって変化させ且つ制御することが可能である。発光体のパーステンスは、ディスプレイのフレームアップデート期間中にどの様にして電荷の変化を実現するかにおいて高度の余裕を与えており、且つAMLCDデ

10

20

30

40

50

ディスプレイの場合には必要とされるフレーム時間に亘ってのピクセルの活性化を必要とすることなしに明るく高い品質の画像を発生することを可能としている。(フレーム時間とは、ディスプレイの画像のリフレッシュ間の期間であり、通常、人間の観察者によって知覚される早いランダムな画像の運動のフリッカを回避するためには1/60秒を超える時間が必要とされる。)

与えられたフレームにおいてエミッション(放出)アレイによって供給される電荷を変化させる二つの技術は、放出箇所が活性化されているフレーム内の時間期間を変化させるか、又は活性化時間中に発生される放出電流を変化させることである。

【0013】ビデオディスプレイにおいて使用するための電界放出アレイの一つの態様が上述したCrosst et al.の特許に記載されている。この技術においては、エミッタは複数個の行に電氣的に接続されており、且つ抽出グリッドがエミッタの行に対して直行する列の形態で並列に接続されている。各ピクセルに関連するエミッタアレイは、特定のエミッタ行と特定の抽出列の交差点によって一義的に画定される。1本の列をアドレスすると共に1本の行を電氣的にアドレスすることによって、フレーム内の特定のピクセルが活性化される。

(「ピクセル」という用語はディスプレイ業界において種々の態様で使用されており、特にフルカラーディスプレイ要素を構成するために赤、緑、青の各々に対し1個ずつ3個の発光用ドットを使用する空間カラーディスプレイの場合にそのことが言える。本明細書においては、「ピクセル」という用語は1個の個別的な発光要素乃至はドットを意味するものとして使用する。)

ベースプレートの電子放出構造が、電界放出ディスプレイの技術分野における主要な研究及び開発課題であった。1960年後期において、半導体及びフラットパネル業界によって押し進められたマイクロマシンング及び薄膜処理技術における劇的な進化が行われる前に、上述したSpindt et al.の文献に記載されているように、ゲート動作されるエミッタの製造に関してSpindt及びS. R. I.によって新たな手順が開発された。

【0014】その技術は、高分解能リソグラフィ及びエッチングを使用して金属誘電体サンドイッチ内に開口を形成し、それは、大略、約1ミクロンの程度の直径であり、誘電体層はその直径とほぼ等しい厚さである。次いで、薄膜真空蒸着処理装置で誘電体における開口に対して所定の角度において約1ミクロンの厚さの指向性モリブデン堆積を行う。その堆積物の厚さが増加すると、元の金属・誘電体サンドイッチにおける開口が減少され且つ最終的に閉塞される。その結果、元の金属・誘電体サンドイッチにおける開口に対して自己整合された尖ったモリブデン円錐が形成される。第一金属の上のモリブデンは開口を閉塞させ、且つ電気化学的エッチバックで選

択的に除去される(従って、自己整合した抽出グリッドを有するエミッタを提供する)。この技術は、「スピント(Spindt)技術」と呼ばれ、且つその結果得られる構成体は「スピントエミッタ」と呼ばれる。

【0015】この古典的なスピント技術は何年にも亘りFED開発を進める基礎を与えており、今日においても未だに使用されている。プラズマエッチバック平坦化、リフトオフ処理、ファイバ成長などの自己整合型エミッタを製造するためにHenry Gray及びその他によって多数の別の技術が研究された。

【0016】放出箇所に対する抽出グリッドの整合は重要なファクタである。整合が得られない場合には、通常フェースプレートへ向かって加速され且つ回収される放出された電子はグリッド電極によって回収されることとなる。近くに存在するグリッド電極によって大量の放出電流が回収されると、パワーの効率が悪くなり、画像の劣化が発生し、且つ故障の発生の可能性が増加する。

【0017】自己整合型抽出グリッドを製造する別のアプローチでは、デポジション(堆積)、研磨及びウェットエッチングの組合わせを使用する。この技術においては、エミッタ高さより小さな厚さでエミッタ先端部上に二酸化シリコン誘電体層を堆積させる。次いで、この二酸化シリコン層の上に、抽出グリッドを形成するための導電層を堆積させ、その場合の厚さは、導電層の厚さと前に堆積させた誘電体層の厚さとの和が先端部高さよりも大きいような厚さである。次いで、堆積させた導電性物質の表面を水をベースとしたスラリー及びコンフォーマル(適合性)研磨パッドで湿潤研磨プロセスによって除去する。研磨期間中に、エミッタ先端部上側の物質の除去割合は、エミッタ先端部の側部に堆積された物質のものよりもかなり早い。この物質の除去割合における差異は、エミッタ頂部上の膜積層体を有する研磨パッドとエミッタを取り囲む地形的に低い表面上の膜積層体のものとの間の局所的圧力及び接触差に起因する場合がある。エミッタ上の導電性物質が周りの局所的地形とほぼ同じ高さにまで研磨されると、除去は著しく減少する。この処理期間中の物質除去の自己制限効果は、面積の大きなパネルヘスケーリングするために必要な処理上の余裕を与える。この自己制限的效果がない場合には、バルク除去プロセスの一様性を管理することは困難である。処理におけるこの時点において、エミッタと相対的に自己整合型抽出グリッドが形成される。チップ即ち先端部はウェット化学エッチングを行って先端部の周りの二酸化シリコンを除去するまで、二酸化シリコン内に埋設され且つ取り囲まれたままである。その結果発生する空洞が先端部を露出させ、従って先端部は組立てられたFEDの真空キャビティ内に電子を放出することが可能である。

【0018】この研磨プロセスは、自己整合、広い処理窓、リソグラフィではなく堆積によるグリッド直径の画定、厚い角度を付けた蒸着させたモリブデンの必要性の

10

20

30

40

50

回避、且つ面積の大きな先端部を形成するプロセスに使用するためのスケールアップの可能性などの利点を有している。この研磨プロセスのさらなる利点は、二酸化シリコンと導電性グリッド物質との間に流れることの可能な誘電体を使用することを組込む可能性である。この組み合わせは、寄生容量を減少させるために、エミッタのベースと抽出グリッドとの間に大きなスタンドオフ距離を有する構成体を製造することとなる。この組み合わせは、同時に、電子放出のために必要とされる印加電圧を減少させる小さなグリッド直径とさせる。最後に、これらの寸法の両方は、堆積厚さによって決定され、そのことは大面積寸法制御を可能とする。同一の基板に亘っての且つそれらのそれぞれの抽出グリッドに対して同一の印加電圧差を有する同一アレイ内においてのエミッタは、抽出グリッドによって印加される電界の影響によって、先端部直径及び表面形態における変化が小さいので、著しく異なる放出電流を発生することが可能である。最も外側の表面の最終的な原子的構成における小さな変化は、該表面の仕事関数に与える影響のためにエミッション即ち放出電流において著しい差異を発生させることが可能である。これらの効果は、冷陰極電子放出のファウラ・ノルトハイム理論における電界強度及び仕事関数の効果を検討することにより容易に説明される。

【0019】チップ即ち先端部の間での放出電流における変化は、画像品質において対応する影響を発生させる。画像における変化は、各ピクセル箇所において電気的に並列的に動作する多数のエミッタを使用することによって部分的に減少される。不完全性が様なエミッタのさらなる改善は、エミッタへ供給される電子電流を制限しながら、所望の電子放出電流よりも一層高い電流を発生することの可能なグリッド電圧でディスプレイ内のエミッタを動作させることによって電気的に達成することが可能である。能動的及び受動的な電流制限方法の広範な選択が文献に示されている。この形態の調整したエミッタ動作は、アレイ内の非常に高い性能のエミッタが非常に大きな電流を発生し且つ物理的に破壊されることを防止する上でも有益である。アレイ内の高性能のエミッタが熱的アブレーション又はその他の劇的な劣化を発生させるのに十分に高い電流を発生させることが可能である場合には、それらからの荷電粒子及び中性粒子が電気的アークを発生させる場合があり、その様なアークはディスプレイ部品を損傷させ且つ短絡状態を発生させる場合がある。

【0020】電界エミッタの動作期間中における電流制限を行う価値はしばらくの間認識されていた。電界エミッタの電流制限効果を達成する一つの簡単なアプローチは、エミッタのアレイと個々のエミッタの両方に対し直列電気抵抗を使用することである。一つのアプローチ

(NASAによって開発され且つ発明者がWayne L. Leesであり発明の名称が「電界放出電流を制

限する方法及び装置 (Method and Apparatus Limiting Field Emission Current)」である米国特許第3, 671, 798号に記載されている) は、各エミッタチップ (先端部) と一体化させた微視的な個別的抵抗を使用している。

【0021】別の抵抗をベースとした電流制限アプローチは、ジョージア工科大学において開発され、Kon Jiun Leeの博士論文に記載されており、それはジョージア工科大学から入手可能であり、それを引用によって本明細書に取込む。(K. Lee、「電界エミッタアレイカソードの電流制限 (Current Limiting of Field Emitter Array Cathodes)」、ジョージア工科大学、材料工学における博士論文、1986年8月、U. M. オータ番号86-28, 359) その博士論文に記載されている技術のうちの一つは、電界放出カソードを介しての電流を制限するためにシリコンを有する堆積させた抵抗層を使用するものである。

【0022】電界放出ディスプレイのフェースプレートは、従来のCRTにおけるものと同じ定性的な物理的原理によって光の陰極ルミネセンス放出の原理に基づいて動作する。CRTの場合における如く、カラーシーケンシャルアプローチ (フレームシーケンシャル又は時間積分と呼ばれることもある) 又は空間カラーアプローチ (空間積分と呼ばれることもある) を使用してカラー画像を得ることが可能である。この点については、概略、David L. Postの2210プロシーリング・オブ・SPIE2 (1994)、及びTannasの「電子ディスプレイにおけるカラー (Color in Electronic Displays)」、45フィジックス・トゥデイ、No. 12、1992年12月、52頁を参照するとよく、これらの文献は引用によって本明細書に取込む。

【0023】今日商用的に成功しているほとんど全てのディスプレイが、家庭のテレビ、デスクトップコンピュータモニタ、ラップトップコンピュータ及びカラーカムコーダビューファインダなどにおいて使用されるものにおいて、カラー画像を与えるために空間積分を使用している。空間積分を使用する一般的な方法は、R/G/B三組の形態でアドレスされる赤と緑と青のピクセルを与えることである。各三組におけるカラードットの強度は、R、G、BドットのCIEカラー座標によって形成される三角形の境界内における範囲のカラーを発生するために相互に調節される。そして、これらの空間的に分離されたR/G/Bドットを一つの知覚されたカラー画像へ積分即ち統合させることは人間の目に依存する。

【0024】空間カラーディスプレイは、通常、赤、緑、青のパターンドットを分離する黒色の領域を使用する。ブラックマトリクスと呼ばれる黒色領域を使用する

10

20

30

40

50

ことの一つの従来の主要な利点は、周囲光におけるディスプレイのコントラストを改善することである。ディスプレイの表面に入る周囲光の幾らかは観察者に向かって反射され、ディスプレイによって発生される画像のカラーの光パターンと混合される。反射された周囲光はディスプレイのコントラスト性能を減少させ且つ画像を「ウォッシュアウト」即ち流失させる傾向となる。フェースプレート上にブラックマトリクスを使用する場合には、それに入射する周囲光は吸収され、ディスプレイのコントラスト性能を改善させる。

【0025】図1及び2に示したように、電界放出ディスプレイは、大気圧力によって押しつぶされることを阻止するために、フェースプレートとベースプレートとの間に物理的な支持を与えるスペーサを使用している。中程度及び大型のFEDディスプレイの場合には、これらのスペーサはディスプレイの見ることの可能な活性領域の周りに分布させ、従って薄く軽量のフェースプレート及びベースプレートを使用することが可能であるようにせねばならない。ディスプレイのブラックマトリクス領域は、ユーザに対して見えないように支持スペーサを配置させるのに好適な位置を与えている。

【0026】FEDフェースプレートの定性的特性はCRTフェースプレートと非常に類似しているが、定量的及び工学的な意味において著しい差異が存在している。FEDはCRTよりもフェースプレートからの粒子発散に対して寛容性が低く、従って良好で且つ再現性のある接着性及びフェースプレートの完全性が必要とされる。電界放出ディスプレイのカソードはフェースプレートと非常に近接しており且つ仕事関数の値を吸収し且つ増加させることのある冷陰極エミッタ表面上に到達する負の電荷を持った化学的物質に対して敏感である。この敏感性のために、CRTにおいて使用するのに適したある発光体物質であって特にカドミウム及び亜鉛の硫化物はFEDにおいて使用することは進められない。実際に、電子衝撃の下で硫化物発光体からの硫黄及び硫黄化合物が発生されると、真空蛍光ディスプレイにおける赤に近いエミッタワイヤでも腐敗させることが示されている。

【0027】典型的に、FEDは、従来のCRTのものよりもかなり低いアノード電圧で動作される。スペーサ技術については、後に説明するが、それは最大許容可能アノード電圧を決定する主要なファクタである。固体表面に亘って維持することの可能な真空中においての二つのノードの間の最大電圧は、通常、高シンク装置内において等しい距離の真空ギャップを横断して維持することの可能なものよりも低い。表面の材料特性、表面に沿っての距離、及び二つの電圧ノード間の直線に対する表面の配向状態における変化が、フラッシュオーバーが発生する電圧を決定する。アノード動作電圧を制限する傾向のある別のファクタは、簡単な近接焦点単一グリッド構成体を使用することである。フェースプレートとベースプ

レートとの間の空間を増加させると横方向のビーム広がりが一層大きくなる。アノード電圧を増加させるとビームをより迅速に加速することによってビームのスポット寸法を減少させることに貢献するが、間隔を増加させたことによるビームの広がり増加を補償するのに十分なものではない。

【0028】フェースプレート上の発光体をパターン形成し且つ該発光体をフェースプレートへ接着させ且つフェースプレートへ印加する前に発光体物質を用意し且つ処理するプロセスはFEDの製造において重要なものである。数百ボルトのアノード動作電圧を有する蓄積管CRT及びそれよりかなり低い電圧で動作する真空蛍光ディスプレイの重要な例外があるが、従来のCRTはFEDよりかなり高いアノード電圧で動作する。発光体物質処理、及びフェースプレートへの発光体のスクリーニング及びバインディングは、デッド層と呼ばれる発光体上に薄い非ルミネセンスコーティングを形成することとなる。高電圧CRTの場合には、かなりの量のデッド層を許容することが可能である。なぜならば、電子は高エネルギーへ加速され且つデッド層を容易に貫通して通過しそれらの中の発光体を励起させることが可能だからである。FEDはより低いアノード電圧を使用するので、発光体物質のスクリーニング及びバインディングプロセスは、最適化されると共に厳しく制御してデッド層を最小とし且つ発光体の効果的な励起を可能とするものでなければならない。

【0029】発光体物質を合成し且つ取扱う場合に、発光体粒子の表面に沿っての結晶格子がしばしば損傷されるか又は劣化される。この損傷の効果は発光体表面での発光効率を減少させる。ほとんどのCRTの場合には、これは顕著な問題ではない。なぜならば、高いアノード電圧が損傷された表面を通過して電子を加速させることが可能だからである。カラーテレビの開発によって推進された発光体合成の最後の主要な産業上の推進以来、材料科学、材料の取扱い及び処理においての顕著な前進がなされている。これらの前進はFEDにおいて使用するのに最適化した高品質発光体の製造において使用されている。

【0030】FED用のスペーサの構成において使用される物質はガス放出を行うことができず且つ配置させた敏感な高シンク環境を汚染する。スペーサ物質はフラッシュオーバー、劣化又は二次電子発生を発生することなしに、漂遊電子衝撃に耐えるように設計されねばならない。

【0031】一連の個別的なポストを使用するスペーサアーキテクチャは、フェースプレートとベースプレートとの間の妨げのない間隙を与えることによって破壊的なアークによる損傷を発生する可能性のある局所的圧力増強に対する最大の保護を与える。しかしながら、このタイプの構成は、高い圧縮強度を有するスペーサ物質を使

用することを必要とする。

【0032】可能性のあるスペーサ解決方法として種々のアプローチが文献において提案されている。パターン形成した堆積させたポリアミド層はSRIによってある程度有益なものであることが示されている。真空互換性及び漂遊電子による減少からの炭化の分野におけるチャレンジがポリアミドアプローチで十分に満たされる必要がある場合がある。ガラス球を使用することが業界において提案されており且つLETIによって製造されたプロトタイプのディスプレイにおいて使用されていた。(Meyerの文献、プロシーリングズ・インターナショナル・バキューム・マイクロエレクトロニクス・コンフェレンス6(1991)参照)ガラス球はFEDスペーサに対する主要な材料条件を充足する簡単で且つ低コストの方法である。湾曲した側部を有するスペーサの別の利点は、フェースプレートとベースプレートとの間に直線経路が形成されることがないので、同一の物質においての等価な直線経路よりも一層高い電圧耐久性を与えることである。低分解能FEDは、それを隠すために発光体パターン間に比較的大きな間隔があるので、スペーサ支持体として球を容易に受付けることが可能である。

【0033】高分解能FEDはスペーサを受付けるために発光体パターン間の距離をほとんど与えるものではない。この条件は小さな直径の球で充足することが可能である。この様に小さなスペーサはフェースプレートとベースプレートとの間の実際的な作業距離を与える点で困難性を提供している。発光体粉末は、しばしば、直径が7ミクロンの程度であり、典型的に、最小で二つの粒子深さに堆積させる。より小さな粒子寸法は容易に達成可能であるが、一般的には、より低い発光体効率となる。25ミクロン直径の球は、多くの高分解能ディスプレイに関し発光体パターン間にある整合公差で配置させることが可能であり且つ39ミクロンの表面リーク経路を与える。これらの小さな直径の球を使用することによって製造されたフェースプレートとベースプレートとの間の狭いギャップはディスプレイの廃棄、電圧スタンドオフ、及び発光体粒子の寸法に対する相対的な公差の分野において困難性を提供している。

【0034】多くの発光体からの光出力はパワーに依存するものであり増加された電流は減少されたアノード電圧を補償することが可能であるが、ほとんどの発光体の寿命はディスプレイの寿命期間中に単位面積当たり供給される全蓄積電荷によってかなりの部分が決定される。この発光体の電氣的経年変化は、フェースプレート及び発光体物質を考慮することによって減少させることが可能であるが、スペーサのスタンドオフ能力を増加させることによって劇的に影響を与えることが可能である。

【0035】以下の文献は、全て引用によって本明細書

に取込むものであって、電界放出ディスプレイにおける現在の技術水準及びその技術の開発及び可能な変形例を示すものである。Curtin「電界放出ディスプレイ：新しいフラットパネル技術(The field emission display: a new flat panel technology)」、コンフェレンス・レコード・オブ・ザ・1991・インターナショナル・ディスプレイ・リサーチ・コンフェレンス12(1991);Derbyshire「AMLCDを超えるもの：電界放出ディスプレイ？(Beyond AMLCDs: field emission displays?)」37ソリッド・ステート・テクノロジーno. 11p. 55(1994年11月);Ghis et al.「封止型真空装置：蛍光微小先端部ディスプレイ(Sealed vacuum devices: fluorescent microtip displays)」38IEEEトランズアクションズ・エレクトロン・デバイシーズ2320(1991);Hunt et al.「シリコン電界放出マイクロ電子工学装置の構造及び電氣的特性(Structure and Electrical Characteristics of Silicon Field-Emission Microelectronic Devices)」38IEEEトランズアクションズ・エレクトロン・デバイシーズ2309(1991);Kesling及びHunt「電界放出フラットパネルディスプレイ用ビームフォーカシング(Beam focusing for field-emission flat-panel displays)」42IEEEトランズアクションズ・エレクトロン・デバイシーズ340(1995);Labrunie及びMeyer「新規なタイプの放出性フラットパネルディスプレイ：マトリクス型冷陰極微小先端部蛍光ディスプレイ(Novel type of emissive flat panel display: the matrixed cold-cathode microtip fluorescent display)」8ディスプレイズ・テクノロジー・アンド・アプリケーションズno. 137(1987);Levine「電界エミッタ放出率の統計的解析：フラットディスプレイへの適用(Statistical analysis of field emitter emissivity: application to flat displays)」13ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジーB553(1995);Marcuset al.「1nm半径を有するシリコン先端部の形成(Formation of Silicon Tips with 1 nm Radius)」56アプライド・フィジックス・レター(1990);McGruer et al.「酸化尖端化ゲ

10

20

30

40

50



ート型電界エミッタアレイプロセス (Oxidation-Sharpener Gated Field Emitter Array Process)」38 IEEE トランザクションズ・エレクトロン・デバイス 2389 (1991); Ravi et al. 「シリコン先端部の酸化尖端化 (Oxidation Sharpening of Silicon Tips)」9 ジャーナル・オブ・バキューム・サイエンス・テクノロジー B2733 (1991); Spindt et al. 「真空蛍光ディスプレイに対する電界エミッタアレイ (Field-emitter arrays to vacuum fluorescent display)」36 IEEE トランザクションズ・エレクトロン・デバイス 225 (1989); Spindt et al. 「真空蛍光ディスプレイへ適用された電界エミッタアレイ (Field emitter arrays applied to a vacuum fluorescent display)」49 ジャーナル・オブ・フィジク・コロク C-6153 (1988); Trujillo et al. 「ウェット化学エッチングによる真空マイクロ電子工学用シリコン静電放出点の製造 (Fabrication of Silicon Field Emission Points for Vacuum Microelectronics by Wet Chemical Etching)」6 セミコンダクタ・サイエンス・テクノロジー 223 (1991); Urayama et al. 「円錐状静電エミッタの製造 (Fabrication of Cone-Like field Emitters)」日本応用物理協会の53回年次大会の拡大アブストラクト、No. 2、19a-ZM-6、p. 553 (1992); Vaudaine 及び Meyer 「微小先端部蛍光ディスプレイ (Microtips fluorescent display)」1991 IEDM テクニカルダイジェスト 197; Yoko et al. 「電界エミッタアレイの放出電流の積極的制御 (Active control of the emission current of field emitter arrays)」13 ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジー B491 (1995)。

【0036】製造技術に関する付加的な技術的背景及び付加的な詳細は以下の特許及び特許出願に記載されており、それらは引用によって本明細書に取込む。米国特許第3,665,241号 (Spindt et al.); 米国特許第3,755,704号 (Spindt et al.); 米国特許第3,812,559号 (Spindt et al.); 米国特許第3,843,427号 (ESDONK et al.); 米国特許第3,875,442号 (Wasa et a

l.); 米国特許第3,921,022号 (Levine); 米国特許第3,953,756号 (Monfroy et al.); 米国特許第3,970,887号 (Smith et al.); 米国特許第3,998,678号 (Fukase et al.); 米国特許第4,006,383号 (Luo et al.); 米国特許第4,008,412号 (Yuito et al.); 米国特許第4,042,854号 (Luo et al.); 米国特許第4,091,305号 (Poley et al.); 米国特許第4,114,070号 (Asars); 米国特許第4,168,213号 (Hoeberrechts); 米国特許第4,183,125号 (Meyer et al.); 米国特許第4,193,226号 (Gill, Jr. et al.); 米国特許第4,196,041号 (Baghdadi et al.); 米国特許第4,310,380号 (Flamm et al.); 米国特許第4,372,033号 (Chiao); 米国特許第4,419,811号 (Rice); 米国特許第4,422,731号 (Droguet et al.); 米国特許第4,451,759号 (Heynisch et al.); 米国特許第4,498,952号 (Christensen); 米国特許第4,513,308号 (Greene et al.); 米国特許第4,639,288号 (Price et al.); 米国特許第4,666,553号 (Blumenfeld et al.); 米国特許第4,670,097号 (Abdalla et al.); 米国特許第4,671,851号 (Beyer et al.); 米国特許第4,741,799号 (Chen et al.); 米国特許第4,746,629号 (Hanagasaki); 米国特許第4,857,478号 (Niwano et al.); 米国特許第4,859,063号 (Fay et al.); 米国特許第4,874,981号 (Spindt); 米国特許第4,923,421号 (Brodie et al.); 米国特許第4,943,343号 (Bardai et al.); 米国特許第4,950,569号 (May); 米国特許第4,964,946号 (Gray et al.); 米国特許第4,968,382号 (Jacobson et al.); 米国特許第4,968,585号 (Albrecht et al.); 米国特許第4,983,878号 (Lee et al.); 米国特許第4,986,876号 (Zeto et al.); 米国特許第4,986,877号 (Tachi et al.); 米国特許第4,988,637号 (Dhong et al.); 米国特許第4,997,780号 (Szlu k et al.); 米国特許第5,036,015号 (Sandhu et al.); 米国特許第5,051,379号 (Bayer et al.); 米国特許

第5,055,158号(Gallagher et al.);米国特許第5,063,323号(Longo et al.);米国特許第5,064,396号(Spindt et al.);米国特許第5,066,358号(Quate et al.);米国特許第5,070,282号(Epsztein et al.);米国特許第5,081,421号(Miller et al.);米国特許第5,082,524号(Cathey);米国特許第5,083,958号(Longo et al.);米国特許第5,094,712号(Becker et al.);米国特許第5,100,355号(Marcus et al.);米国特許第5,104,517号(Scott);米国特許第5,143,820号(Kotech et al.);米国特許第5,151,061号;米国特許第5,186,670号(Doan et al.);米国特許第5,194,780号(Meyer);米国特許第5,199,917号(MacDonald et al.);米国特許第5,201,992号(Marcus et al.);米国特許第5,205,770号(Lowrey et al.);米国特許第5,217,401号(Watanabe et al.);米国特許第5,229,331号(Doan et al.);米国特許第5,232,549号(Cathey et al.);米国特許第5,232,549号(Cathey et al.);米国特許第5,246,468号(Takahashi et al.);米国特許第5,259,799号(Doan et al.);米国特許第5,266,530号(Bagley et al.);米国特許第5,302,239号;米国特許第5,329,207号(Cathey et al.);米国特許第5,342,477号(Cathey);米国特許第5,358,908号;米国特許第5,372,901号;米国特許第5,372,973号;米国特許第5,374,868号;EPC公開公報416625(3/1991);英国公開公報2209432(5/1989);JP56-160740(12/1981);JP60-49626(3/1985);JP1-220330(9/1989);JP2-165540(6/1990);JP2-260412(10/1990);JP3-14453(6/1991);JP3-179630(8/1991)。

#### 【0037】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した従来技術の欠点を解消し、エミッタ位置を画定するためのマスクを使用することのない自己整合型高密度パターン形成ステップを使用する真空マイクロ電子工学装置の製造方法を提供することを目的とする。

#### 【0038】

【課題を解決するための手段】本発明の重要な点は、パターン転移層へ荷電粒子を付与することによって電界放出装置(特にフィールドエミッションディスプレイ、即ち電界放出ディスプレイ)用のパターン形成していない自己整合した高密度のパターンを提供することである。クーロンの反発力が自己調節的な間隔制御を与え、一様な密度に近似したものを発生させる。粒子を堆積即ち付着させると、該粒子は電界放出ディスプレイ用に使用する尖ったカソード構成体を形成するエッチング技術に対するマスクとして使用することが可能である。従って、本発明は、一つの重要なステップのマスクを使用しないパターン形成及びそれに対応するコスト低下を提供する。真空マイクロ電子工学FEDディスプレイ(表示装置)においては、各個別的なカソード(陰極)は効率的に動作するが、電流の増加にはほんの僅かに貢献するに過ぎない。従って、カソードを非常に密集して集積化させることが望ましく(製造上の条件と一貫しており、且つ横方向のブレイクダウンを回避するのに必要とされる間隔とも一貫している)、例えばミクロン程度のピッチとすることが望ましい。しかしながら、その他のパターン形成ステップの全て又はほとんどは、ピクセルピッチと同等の幾何学的形状、例えば数百ミクロンの程度の幾何学的形状を必要とするに過ぎない。

【0039】従って、本発明は、高価なVLSIリソグラフィ手順を使用することを最小とすると共に、微小構造を製造するためにVLSI処理技術を使用することを可能としている。

【0040】荷電粒子を使用することによって、クーロン反発力が自己調節的な間隔制御を与える。クーロン反発力は、更に、粒子が互いに集結して凝集体を形成する可能性を低下させる(チップ即ち先端部の寸法はボールの寸法によって調節されるので、その様な凝集体は本プロセスを破壊する)。

【0041】注意すべきであるが、荷電粒子を堆積即ち付着させるための種々の低コストのメカニズムが電子写真複写技術において使用されており、且つフレーム、自動車などを塗装するために現在広く使用されている所謂「静電塗装」プロセスにおいて粒子(粉末)を塗装するのに使用されるのと同じ態様で行われる。

【0042】堆積させた粒子はマスクとして直接的に使用することが可能であるが、又はホトレジスト層へのパターンを転移させるためのカウンタマスクとして使用することが可能である。粒子を堆積させる表面はそれ自身導電性のものでない場合もあるが、下側に存在する導電性シリコン層へ接続を形成することによって静電圧を制御することが可能である。

#### 【0043】

【発明の実施の形態】本発明を特に現在好適な実施例について以下に説明する。図3A-3Eは本発明に基づい

て修正したスピント (Spindt) プロセスにおける例示的なステップを示している。現在好適な実施例における新規な修正は、チップ即ち先端部を形成する場合のプロセスの開始時において発生する。

【0044】図3Aは本発明プロセスの第1段階を示しており、その場合に、シリコン層810 (例えば、ポリシリコン) を例えばガラス又は石英の基板800上に例えば1.2ミクロンの厚さへ堆積即ち付着形成させる。

(電界放出ディスプレイ製造の利点のうちの一つは、その技術が絶縁性基板上に製造するのに適しているということであり、従ってこの技術は大面積製造用の薄膜トランジスタ技術の製造上の利点の多くを有すると共に、その技術の欠点の多くを回避している。)

図3Bは本発明プロセスの後の段階を示しており、堆積させたシリコン810を酸化させて酸化物層820を形成している。(一方、誘電体層820を堆積させることが可能である。)

図3C1は本発明プロセスの更に後の段階を示しており、誘電体820上にランダムに離隔したパターンで微小球体830が堆積されている。現在好適な実施例において、これらの球体は例えば0.6ミクロンの直径とすることが可能である。

【0045】図3C2は図3C1のステップに対する変形例を示している。この変形例においては、球体830を受取るためにホトレジスト層822を使用しており、且つ紫外線照明によって球体830によって画定されるパターンがその下の誘電体810へ転移される。

【0046】図3Dは本発明プロセスの更に後の段階を示しており、異方性エッチングを使用して球体830のパターンを誘電体820へ転移させて島状部824を形成している。

【0047】図3Eは本発明プロセスの更に後の段階を示しており、従来のエッチング及び堆積(付着)ステップを使用して島状部824が位置されている位置において先端の尖ったエミッタ812を形成している。

【0048】次いで、従来のステップで継続して処理を行い、図1に示したようなディスプレイ(表示装置)構成体を形成する。(しかしながら、本発明によって製造される構成体は、厳格に幾何学的なアレイではなくランダムな間隔を有するエミッタを持っているという点において従来の構成体と異なっている。)

#### 修正例及び変形例

当業者によって理解されるように、本明細書に記載した本発明は、広範な適用例に亘って修正及び変形することが可能であり、従って本発明の技術的範囲は本明細書に記載した特定の実施例の何れかに限定されるべきものではない。

【0049】例えば、当業者にとって明らかなように、個々のエミッタをアドレスするために広範囲の多様なマトリクスアドレス回路及び装置を使用することが可能で

ある。好適には、マトリクスアドレス構造は、ストライプ型エミッタコンタクトの直交アレイと結合したストライプ型ゲートを使用するものである。

【0050】別の実施例の場合には、現在好適な実施例の特定のエミッタ構成と結合して種々のスペーサ及び発光体構造を使用することが可能である。

【0051】更に別の実施例の場合には、本明細書に与えた特定の寸法は単に例示的なものであって、当業者によって理解されるように広範に変化させることが可能なものである。

【0052】更に別の実施例の場合には、現在好適な実施例ではシリコンエミッタを使用しているが、その代わりに本発明に基づくエミッタ構成体を製造するために金属又はダイヤモンド又はその他の材料を使用することも可能である。

【0053】更に別の実施例の場合には、一つの種類の実施形態においては、上述したようなパターンを有することのないエミッタ先端部の製造をリソグラフィによってパターン形成したスペーサと結合することが可能である。

【0054】更に別の実施形態においては、オプションとして、エミッタ抵抗を導入して個々のエミッタ先端部における電流を等しくさせ且つエミッタ・ゲート短絡に対する保護を与えることが可能である。

【0055】更に別の実施形態においては、現在好適な実施例では単一のグリッドを使用しているが、本発明はテトロード又はペントロード構成体を製造する場合に適用することも可能であり、その場合には、各エミッタからの電流の拡散を減少するために付加的(フォーカシング用)グリッドが使用される。

【0056】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 【図面の簡単な説明】

【図1】 冷陰極電界放出電子によって励起される陰極ルミネセンス発光体の原理に基づいて動作する電界放出ディスプレイの一例を示した概略断面図。

【図2】 図1の装置の概略斜視図。

【図3A】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

【図3B】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

【図3C1】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

【図3C2】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

【図3D】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

19

20

【図3E】 本発明の一実施例に基づく方法の1段階における状態を示した概略図。

【符号の説明】

800 基板

810 シリコン層

\* 812 尖ったエミッタ (先端部)

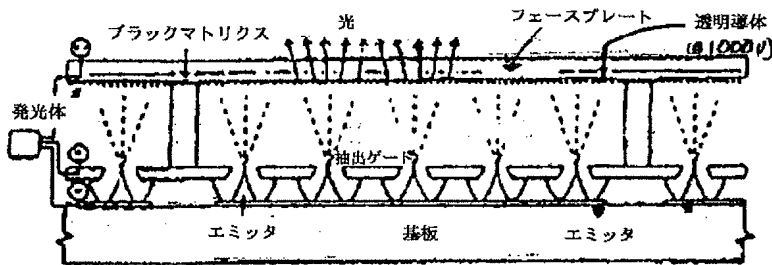
820 酸化物層

822 ホトレジスト層

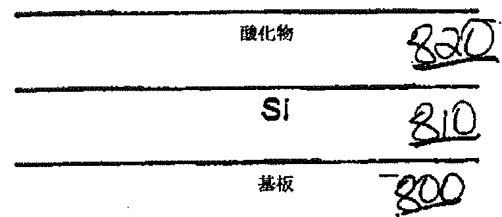
824 島状部

\* 830 微小球体

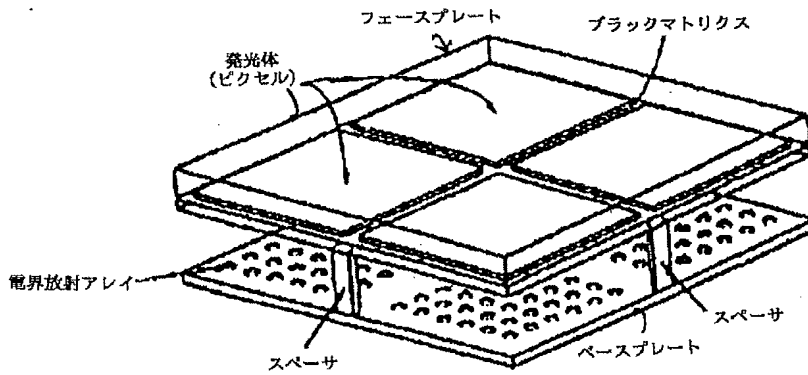
【図1】



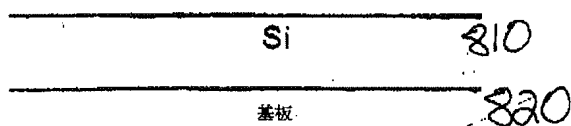
【図3B】



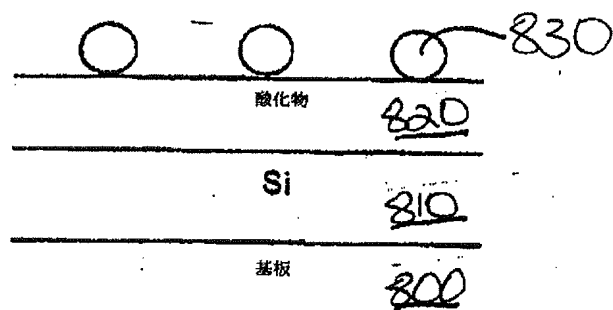
【図2】



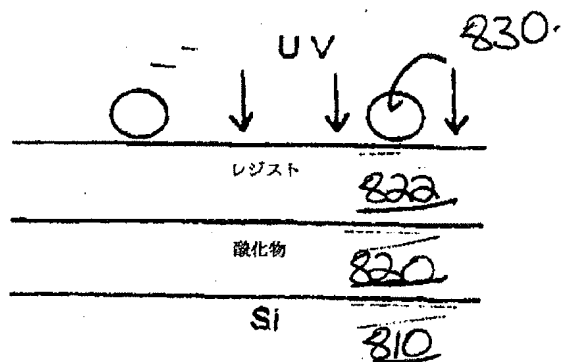
【図3A】



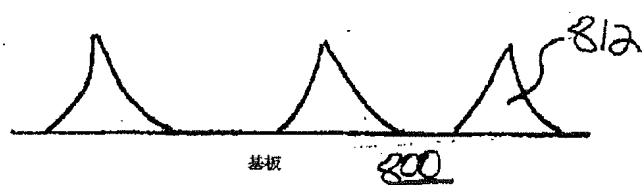
【図3C1】



【図3C2】



【図3E】



【図3D】

